



KOREAN PATENT ABSTRACT (KR)

PUBLICATION

(11) Publication No.: 1999-027321 (43) Publication Date: 15 April 1999
(21) Application No.: 1997-049758 (22) Application Date: 29 September 1997
(51) IPC Code:
H01L 27/10

(71) Applicant:
Samsung Electronics Co., Ltd.
416 Maetan 3-dong, Paldal-gu, Suwon-city, Kyunggi-do, Korea

(72) Inventor:
LEE, MI HYAN
CHUNG, DONG JIN

(54) Title of the Invention:

High-Integration Ferroelectric Memory Device and Method of Manufacturing the Same

Abstract:

A ferroelectric memory device using a plate line as a lower electrode of a ferroelectric capacitor and a method of manufacturing the same are provided. In the ferroelectric memory device, a lower electrode acting as a plate line extends in parallel to a word line adjoining a pair of source regions. A ferroelectric layer and an upper electrode are formed on the lower electrode, thereby forming a pair of ferroelectric capacitor. The upper electrode is electrically connected to one of the pair of source regions. A bit line is electrically connected to the drain region and extends in a direction perpendicular to the word line. In the method, a gate electrode and a lower electrode of a capacitor are simultaneously formed. A first interlayer insulation layer having an opening exposing only the top surface of the lower electrode is formed on a semiconductor substrate having a transistor, and a ferroelectric layer is formed in the opening. An upper electrode is formed on the ferroelectric layer, thereby forming a ferroelectric capacitor. After forming the first interlayer insulation layer, a barrier layer is formed on the sidewall of the first interlayer insulation layer in the opening formed in the first interlayer insulation layer before forming the ferroelectric layer.

RECEIVED
MAY -7 2002
TECHNOLOGY CENTER 2800

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁵

H01L 27/10

(11) 공개번호 특 1999-027321

(43) 공개일자 1999년 04월 15일

(21) 출원번호 특 1997-049758

(22) 출원일자 1997년 09월 29일

(71) 출원인 삼성전자 주식회사 윤종응

(72) 발명자 경기도 수원시 팔달구 매탄3동 416

이미향

서울특별시 양천구 신월1동 135-4

정동진

(74) 대리인 경기도 안양시 만안구 석수1동 한도아파트 3동 504호

권석훈, 노민식, 이영필

심사청구 : 있음

(54) 고집적 강유전체 메모리 장치 및 그 제조방법

요약

플레이트 라인이 강유전체 커패시터의 하부 전극으로 이용되는 강유전체 메모리 장치 및 그 제조 방법에 관하여 개시한다. 본 발명에 따른 강유전체 메모리 장치는 플레이트 라인으로 작용하는 하부 전극이 상기 한 쌍의 소스 영역에 각각 인접하여, 상기 워드 라인과 평행하게 연장된다. 상기 하부 전극상에 강유전체막 및 상부 전극이 형성되어 한 쌍의 강유전체 커패시터를 구성한다. 상기 상부 전극은 상기 한 쌍의 소스 영역중 하나에 전기적으로 연결된다. 또한, 비트 라인이 상기 드레인 영역에 전기적으로 연결되고 상기 워드 라인과 직교하는 방향으로 연장된다. 본 발명의 제조 방법에서는 게이트 전극 및 커패시터의 하부 전극을 동시에 형성한다. 또한, 트랜지스터를 포함하는 반도체 기판상에 상기 하부 전극의 상면만을 노출시키는 개구부가 형성된 제1 층간 절연막을 형성한 후, 상기 개구부 내에 강유전체막을 형성한다. 상기 강유전체막 위에 상부 전극을 형성하여 강유전체 커패시터를 형성한다. 상기 제1 층간 절연막을 형성한 후 상기 강유전체막을 형성하기 전에 상기 제1 층간 절연막에 형성된 개구부 내에서 상기 제1 층간 절연막의 측벽에 장벽층을 형성한다.

도표도

도 12

영세서

도면의 간단한 설명

도 1은 셀 커패시터의 유전막으로 강유전체막을 사용하는 전형적인 FRAM의 단위 셀에 대한 등가 회로도이다.

도 2는 본 발명에 따른 강유전체 메모리 장치의 셀 어레이 영역의 일부분, 즉 한 쌍의 셀을 도시한 레이아웃도이다.

도 3 내지 도 12는 본 발명의 일 실시예에 따라 도 2에 도시한 레이아웃에 따른 강유전체 메모리 장치의 하나의 셀을 제조하는 방법을 설명하기 위한 단면도들이다.

도면의 주요 부분에 대한 부호의 간단한 설명

100 : 반도체 기판,	102 : 게이트 절연막
105 : 게이트 전극,	108 : 하부 전극
120 : 제1 층간 절연막,	128 : 장벽층
130 : 강유전체막,	140 : 상부 전극
145 : 캡핑층,	150 : 제2 층간 절연막
180 : 배선층,	190 : 비트 라인

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 메모리 장치 및 그 제조 방법에 관한 것으로, 특히 축소된 단위 셀 사이즈를 가능하게 하는 강유전체 메모리 장치(Ferroelectric Memory Device) 및 그 제조 방법에 관한 것이다.

최근 박막 형성 기술의 진보에 의하여 강유전체막을 사용하는 불휘발성 메모리 장치에 대한 연구가 활발해지고 있다. 강유전체 메모리 장치는 강유전 물질의 자발 분극 현상(Spontaneous Polarization Phenomenon)을 이용하는 것으로서, EPROM 또는 EEPROM에 비하여 읽기(read)/쓰기(write) 동작이 빠른 장점을 가지고 있다.

또한, DRAM에 사용되는 셀 커패시터의 유전막으로 강유전체막을 사용하면, 리프레쉬 동작이 요구되지 않으므로 DRAM의 전력 소모 및 동작 속도를 향상시킬 수 있다. 이러한 강유전체 메모리 장치는 RAM과 같이 단일 전원 전압(single power supply voltage)으로 읽기 동작 및 쓰기 동작을 수행할 수 있으므로, 강유전체 RAM(ferroelectric RAM; FRAM)이라 불리운다.

한편, FRAM은 단위 셀(unit cell)의 구성 요소에 따라 두 가지로 분류할 수 있다. 그 하나는 단위 셀이 강유전체막을 게이트 절연막으로 사용하는 하나의 트랜지스터로 구성된 것이고, 다른 하나는 단위 셀이 하나의 액세스 트랜지스터 및 강유전체막을 유전막으로 사용하는 하나의 셀 커패시터로 구성된 것이다. 여기서, 전자식(the former) FRAM은 채널 영역인 실리콘 기판과 게이트 절연막인 강유전체막 사이의 계면에 실리콘 기판과 산소 원자가 반응하여 성장된 실리콘 산화막이 형성되기 쉬운 문제점과, 실리콘 기판 및 강유전체막 사이의 격자상수(lattice constant) 차이 또는 열팽창계수 차이에

의하여 우수한 막질의 강유전체막(high-quality ferroelectric film)을 형성하기 어려운 문제점이 있다. 따라서, 최근에 후자의 FRAM, 즉 DRAM 셀 구조와 동일한 구조를 가지면서 셀 커패시터의 유전막으로 강유전체막을 사용하는 FRAM에 대한 연구가 활발해지고 있다.

도 1은 셀 커패시터의 유전막으로 강유전체막을 사용하는 전형적인 FRAM의 단위 셀에 대한 등가 회로도이다. 도 1에 도시한 회로 구성에 있어서, NMOS 트랜지스터(T)의 게이트 전극(G)은 워드 라인(W)에 연결되고, 드레인 영역(D)은 비트 라인(B)에 연결되고, 소스 영역(S)은 강유전체 커패시터(C)의 한 전극에 연결된다. 강유전체 커패시터(C)의 다른 전극은 플레이트 라인(P)에 연결된다.

상기한 바와 같이 구성된 종래의 FRAM 셀은 커패시터의 전극에 상기 전극과 반도체 기판의 활성 영역을 연결시키는 배선층 형성을 위한 콘택홀 및 플레이트 라인 형성을 위한 콘택홀을 따로 형성하여야 하고, 그에 따라 각각의 콘택홀을 위한 영역이 따로 요구되어 반도체 소자의 고집적화에 불리하다. 또한, 워드 라인, 비트 라인 및 플레이트 라인을 각각 전극에 연결시키기 위한 콘택홀들을 형성하기 위하여 별도의 사진 공정 및 식각 공정이 요구되는 단점이 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 고집적화에 유리한 강유전체 메모리 장치를 제공하는 것이다.

본 발명의 다른 목적은 고집적화된 FRAM을 단순한 공정에 의하여 형성할 수 있는 강유전체 메모리 장치의 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명에 따른 강유전체 메모리 장치는 반도체 기판상에 소정의 방향으로 연장되는 활성 영역을 포함한다. 한 쌍의 워드 라인이 상기 활성 영역을 가로지르면서 미격되어 서로 평행하게 연장된다. 상기 한 쌍의 워드 라인 사이의 활성 영역에는 드레인 영역이 형성되고, 상기 워드 라인을 중심으로 상기 드레인 영역의 반대측의 활성 영역에는 한 쌍의 소스 영역이 각각 형성된다. 플레이트 라인으로 작용하는 하부 전극이 상기 한 쌍의 소스 영역에 각각 인접하여 상기 워드 라인과 평행하게 연장된다. 상기 하부 전극상에 강유전체막 및 상부 전극이 형성되어 한 쌍의 강유전체 커패시터를 구성한다. 상기 상부 전극은 상기 한 쌍의 소스 영역중 하나에 전기적으로 연결된다. 또한, 비트 라인이 상기 드레인 영역에 전기적으로 연결되고 상기 워드 라인과 직교하는 방향으로 연장된다.

상기 다른 목적을 달성하기 위한 본 발명의 일 실시예에 따른 강유전체 메모리 장치의 제조 방법에서는 반도체 기판상에 게이트 전극 및 커패시터의 하부 전극을 동시에 형성한다. 상기 게이트 전극 및 하부 전극의 측벽에 각각 절연막 스페이서를 형성한다. 상기 게이트 전극의 양측에 각각 소스 영역 및 드레인 영역을 형성하여 트랜지스터를 형성한다. 상기 트랜지스터를 포함하는 반도체 기판상에 상기 하부 전극의 상면만을 노출시키는 개구부가 형성된 제1 층간 절연막을 형성한다. 상기 개구부 내에 강유전체막을 형성한다. 상기 강유전체막 위에 상부 전극을 형성하여 강유전체 커패시터를 형성한다.

상기 강유전체막을 형성하기 위하여 상기 제1 층간 절연막을 포함하는 반도체 기판 전면에 강유전 물질막을 형성하고, 상기 강유전 물질막이 상기 개구부 내에만 남도록 상기 강유전 물질막을 상기 제1 층간 절연막의 상면의 높이와 동일한 레벨까지 제거한다.

상기 제1 층간 절연막을 형성한 후 상기 강유전체막을 형성하기 전에 상기 제1 층간 절연막에 형성된 개구부 내에서 상기 제1 층간 절연막의 측벽에 장벽층을 형성하는 단계를 더 포함할 수 있다.

또한, 상기 상부 전극을 형성하는 단계 후에 상기 상부 전극을 포함하는 반도체 기판 전면에 제2 층간 절연막을 형성한

다. 상기 제2 홀간 절연막 및 제1 홀간 절연막을 패터닝하여 상기 상부 전극의 상면을 일부 노출시키는 제1 배선 콘택홀, 상기 소스 영역을 일부 노출시키는 제2 배선 콘택홀 및 상기 드레인 영역을 일부 노출시키는 비트 콘택홀을 형성한다. 상기 제1 배선 콘택홀 및 제2 배선 콘택홀을 통하여 상기 상부 전극과 소스 영역을 전기적으로 연결시키는 배선층과, 상기 비트 콘택홀을 통하여 상기 드레인 영역에 연결되고 상기 게이트 전극과 직교하는 방향으로 연장되는 비트 라인을 동시에 형성한다.

또한, 상기 다른 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 강유전체 메모리 장치의 제조 방법에서는 반도체 기판상에 게이트 전극 및 커패시터의 하부 전극을 동시에 형성한다. 상기 게이트 전극 및 하부 전극의 측벽에 각각 절연막 스페이서를 형성한다. 상기 게이트 전극의 양측에 각각 소스 영역 및 드레인 영역을 형성하여 트랜지스터를 형성한다. 상기 트랜지스터를 포함하는 반도체 기판상에 상기 하부 전극의 상면만을 노출시키는 개구부가 형성된 제1 홀간 절연막을 형성한다. 상기 제1 홀간 절연막을 포함하는 반도체 기판 전면에 강유전 물질막을 형성한다. 상기 강유전 물질막 위에 상부 전극 형성을 도전층을 형성한다. 상기 상부 전극 형성을 도전층과 강유전 물질막을 동시에 패터닝하여 상기 하부 전극 위에 차례로 적층된 강유전체막과 상부 전극을 형성함으로써 강유전체 커패시터를 형성한다.

다음에, 본 발명의 바람직한 실시예에 대하여 첨부 도면을 참조하여 상세히 설명한다.

도 2는 본 발명에 따른 강유전체 메모리 장치의 셀 어레이 영역의 일부분, 즉 한 쌍의 셀을 도시한 레이아웃도이다. 여기서, 본 발명에 따른 강유전체 메모리 장치의 셀 어레이 영역은 도 2에 도시된 한 쌍의 셀이 매트릭스 형태로 반복적으로 배열되어 이루어진다.

도 2를 참조하면, 본 발명에 따른 강유전체 메모리 장치의 한 쌍의 셀은 P형 반도체 기판의 소정 영역에 비활성 영역인 소자 분리막을 형성함으로써 한정되는 바(bar) 형태의 활성 영역(A)과, 상기 활성 영역(A)을 가로지르면서 이격되어 서로 평행하게 배치된 한 쌍의 워드 라인(105)과, 상기 한 쌍의 워드 라인(105)에 의해 분할된 3개의 활성 영역중 한 쌍의 워드 라인(105) 사이의 활성 영역에 형성된 드레인 영역과, 상기 드레인 영역과 이웃한 활성 영역에 형성된 한 쌍의 소스 영역을 포함한다. 여기서, 상기 워드 라인(105)은 게이트 전극 역할을 하며, 상기 드레인 영역 및 소스 영역은 N형의 불순물로 도핑된다.

계속해서, 본 발명에 따른 강유전체 메모리 장치의 한 쌍의 셀은 상기 각각의 소스 영역과 인접한 비활성 영역상에서 상기 활성 영역(A)의 연장 방향과 직교하는 방향, 즉 상기 워드 라인(105)과 평행한 방향으로 연장되어 형성된 한 쌍의 하부 전극(118)과, 상기 각각의 하부 전극(118)의 소정 영역 상에 형성된 한 쌍의 강유전체막(130)과, 상기 강유전체막(130)과 접촉하여 상기 강유전체막(130)을 덮는 한 쌍의 상부 전극(140)과, 상기 상부 전극(140)의 소정 영역상에 형성된 한 쌍의 제1 배선 콘택(160) 및 상기 소스 영역의 소정 영역상에 형성된 한 쌍의 제2 배선 콘택(162)을 통하여 상기 상부 전극(140)과 상기 활성 영역(A)의 소스 영역을 각각 연결시키는 한 쌍의 배선층(180)을 포함한다. 여기서, 상기 하부 전극(118)은 플레이트 라인 역할을 한다.

또한, 본 발명에 따른 강유전체 메모리 장치의 한 쌍의 셀은 상기 드레인 영역의 소정 영역상에 형성된 비트 콘택(164)과, 상기 비트 콘택(164)을 덮으면서 상기 워드 라인(105)과 직교하는 방향으로 배치된 비트 라인(190)을 포함한다.

도 3 내지 도 12는 본 발명의 일 실시예에 따라 도 2에 도시한 레이아웃에 따른 강유전체 메모리 장치의 하나의 셀을 제조하는 방법을 설명하기 위한 단면도들이다.

도 3을 참조하면, 소자 분리용 절연막(101)에 의해 활성 영역과 비활성 영역이 한정된 P형의 반도체 기판(100)상에 게이트 절연막(102)을 형성하고, 그 위에 제1 도전층(103) 및 제2 도전층(104)을 차례로 형성하여 게이트 전극 및 커패시터의 하부 전극 형성을 위한 전극 형성을 도전층을 형성한다. 상기 제1 도전층(103)은 예를 들면 불순물이 도핑된 폴리 실리콘층으로 형성하고, 상기 제2 도전층(104)은 예를 들면 백금(Pt), 이리듐(Ir), 루테튬(Ru), 텅스텐(W), 산화 레늄(ReO₃) 및 산화 루테튬(RuO₃)으로 이루어지는 군에서 선택되는 적어도 1개의 물질로 형성될 수 있다.

도 4를 참조하면 상기 제1 도전층(103) 및 제2 도전층(104)으로 이루어지는 전극층 및 게이트 절연막(102)을 패터닝하여 상기 반도체 기판(100)의 활성 영역상에는 게이트 전극(105), 즉 워드 라인을 형성하고, 비활성 영역상에는 상기 게이트

전극(105)과 평행하게 연장되는 커패시터의 하부 전극(108)을 형성한다. 상기 하부 전극(108)은 플레이트 라인으로 사용하게 된다.

도 5를 참조하면, 상기 게이트 전극(105) 및 하부 전극(108)의 측벽에 예를 들면 질화막으로 이루어지는 절연막 스페이서(106, 109)를 각각 형성하고, 상기 게이트 전극(105)의 양측에 각각 N형의 소스 영역(112) 및 드레인 영역(114)을 형성함으로써 상기 반도체 기판(100)상에 트랜지스터를 형성한다.

도 6을 참조하면, 상기 트랜지스터 및 하부 전극(108)이 형성된 결과를 전면에 예를 들면 BPSG(boro-phospho-silicate glass)로 이루어지는 산화막을 형성하고, 상기 하부 전극(108)의 상면만을 노출시키는 개구부가 형성되도록 상기 산화막을 패터닝하여 제1 층간 절연막(120)을 형성한다.

도 7을 참조하면, 상기 제1 층간 절연막(120)이 형성된 결과를 전면에 확산 방지용 절연층(125)을 형성한다. 상기 절연층(125)은 후속 공정에서 형성되는 강유전체막의 강유전 물질(ferroelectric dielectric material)과 상기 제1 층간 절연막(120)을 구성하는 물질 사이에서 상호 확산을 방지할 수 있는 장벽층을 형성하기 위한 것으로서, 예를 들면 Al_2O_3 또는 TiO_2 를 사용하여 형성한다.

도 8을 참조하면, 상기 절연층(125)을 RIE(Reactive Ion Etching) 방법에 의하여 식각하여 상기 개구부 저면에서 상기 하부 전극(108)의 상면을 노출시키는 동시에 상기 제1 층간 절연막(120)의 측벽에 스페이서 형태의 장벽층(128)을 형성한다. 상기 장벽층(128)을 형성하는 공정, 즉 도 7 및 도 8의 공정은 경우에 따라서 생략 가능하다.

도 9를 참조하면, 상기 개구부 내에 강유전 물질을 채워서 강유전체막(130)을 형성한다. 구체적으로 설명하면, 상기 결과를 전면에 PZT($PbZr_{1-x}Ti_xO_3$), PLZT(La로 도핑된 PZT) 또는 Y1 강유전 물질을 사용하여 졸-겔법(sol-gel process), 스퍼터링법 또는 CVD 방법에 의하여 강유전 물질막을 형성하고, 상기 제1 층간 절연막(120)의 상면의 높이와 동일한 레벨까지 상기 유전막을 에치백 또는 CMP(Chemical Mechanical Polishing)에 의하여 제거하여 상기 개구부를 채우는 강유전체막(130)을 형성한다.

도 10을 참조하면, 상기 강유전체막(130)상에 상부 전극(140)을 형성한다. 상기 상부 전극(140)을 형성하기 위하여, 상기 강유전체막(130)이 형성된 결과를 전면에 예를 들면 백금(Pt), 이리듐(Ir), 루테튬(Ru), 텅스텐(W), 산화 이리듐(Ir_2O_3), 산화 레늄(ReO_3) 및 산화 루테튬(RuO_3)으로 이루어지는 군에서 선택되는 적어도 1개의 물질로 이루어지는 도전층을 형성한 후, 상기 도전층이 상기 강유전체막(130) 위에만 남도록 패터닝한다.

도 9 및 도 10을 참조하여 설명한 실시예에서는 상기 강유전체막(130) 및 상부 전극(140)을 별도로 형성하는 것으로 설명하였으나, 본 발명은 이에 한정되지 않는다. 상기 강유전체막(130) 및 상부 전극(140)을 형성하기 위한 다른 방법으로서 예를 들면, 먼저 상기 장벽층(128)이 형성된 결과를 전면에 강유전 물질, 예를 들면 PZT, PLZT 또는 Y1 강유전 물질을 졸-겔법에 의하여 코팅한다. 이어서, 상기 코팅된 강유전 물질막 위에 상부 전극 형성용 도전층, 예를 들면 백금(Pt), 이리듐(Ir), 루테튬(Ru), 텅스텐(W), 산화 이리듐(Ir_2O_3), 산화 레늄(ReO_3) 및 산화 루테튬(RuO_3)으로 이루어지는 군에서 선택되는 적어도 1개의 물질로 이루어지는 도전층을 형성한다. 그 후, 상기 상부 전극 형성용 도전층과 강유전 물질막을 동시에 패터닝하여 상기 하부 전극(108) 위에 차례로 적층된 강유전체막(130)과 상부 전극(140)을 형성한다. 이로써, 상기 하부 전극(108), 강유전체막(130) 및 상부 전극(140)으로 이루어지는 강유전체 커패시터를 완성한다.

도 11을 참조하면, 상기 상부 전극(140)을 덮는 캡핑층(145)을 형성한다. 상기 캡핑층(145)은 상기 상부 전극(140)을 통하여 발생하는 상기 강유전체막(130)과 후속 공정에서 형성될 층간 절연막과의 상호 확산 현상을 막기 위한 것으로서, 예를 들면 TiO_2 막 또는 Al_2O_3 막으로 형성할 수 있다.

그 후, 상기 결과를 전면에 산화막으로 이루어지는 제2 층간 절연막(150)을 예를 들면 CVD 방법에 의하여 형성한다.

도 12를 참조하면, 상기 제2 층간 절연막(150), 제1 층간 절연막(120) 및 캡핑층(145)을 플라즈마법에 의한 건식 식각 방법에 의하여 식각하여 상기 강유전체 커패시터의 상부 전극(140)의 상면을 일부 노출시키는 제1 배선 콘택홀(150A), 상기 소스 영역(112)을 일부 노출시키는 제2 배선 콘택홀(150B) 및 상기 드레인 영역(114)을 일부 노출시키는 비트 콘택홀

(150C)를 형성한다. 그 후, 상기 결과물상에 불순물이 도핑된 폴리실리콘, 텅스텐, 또는 알루미늄과 같은 금속 물질을 증착한 후 패터닝함으로써, 상기 제1 배선 콘택홀(150A) 내의 제1 배선 콘택(160) 및 상기 제2 배선 콘택홀(150B) 내의 제2 배선 콘택(162)을 통하여 상기 상부 전극(140)과 소스 영역(112)을 전기적으로 연결시키는 배선층(180)을 형성함과 동시에, 상기 비트 콘택홀(150C) 내의 비트 콘택(164)을 통하여 상기 드레인 영역(114)에 연결되고 상기 게이트 전극(105)과 직교하는 방향으로 연장되는 비트 라인(190)을 형성한다.

발명의 효과

상기한 바와 같이, 본 발명의 바람직한 실시예에 따라 제조된 강유전체 메모리 장치는 강유전체 커패시터의 하부 전극을 플레이트 라인으로 직접 사용한다. 따라서, 커패시터의 전극과 플레이트 라인을 연결시키기 위한 콘택홀들을 형성하는 공정과, 플레이트 라인을 형성하기 위한 금속 배선층 형성 공정을 별도로 행할 필요가 없다. 또한, 게이트 전극과 강유전체 커패시터의 하부 전극을 동시에 형성하고, 강유전체 커패시터의 상부 전극과 반도체 기판의 소스 영역을 연결시키는 배선층을 비트 라인 형성과 동시에 형성함으로써 제조 공정이 단순화되는 이점이 있다.

또한, 반도체 기판의 소스 영역을 배선층을 통하여 강유전체 커패시터의 상부 전극과 연결시킴으로, 하부 전극이 차지하는 대부분의 면적을 강유전체 커패시터의 유효 면적으로 사용할 수 있다. 따라서, 하부 전극에 연결시키는 경우에 비하여 커패시터의 유효 면적을 증대시키고 셀의 집적도를 향상시킬 수 있으므로, 고집적 강유전체 메모리 장치의 제조에 적합하다.

또한, 본 발명에 따른 강유전체 메모리 장치에서는 중간 절연막에 형성된 개구부 내부에 강유전체 물질을 채워서 강유전체 커패시터의 강유전체막을 형성한다. 따라서, 종래의 경우에서와 같이 강유전체막 형성을 위하여 건식 식각을 하는 경우와는 달리 강유전체막의 측벽이 식각 공정에 의하여 손상받는 것을 방지할 수 있다.

이상, 본 발명을 구체적인 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

(57) 청구의 범위

청구항 1. 소정의 방향으로 연장되는 활성 영역을 포함하는 반도체 기판과,

상기 활성 영역을 가로지르면서 이격되어 서로 평행하게 연장되는 한 쌍의 워드 라인과,

상기 한 쌍의 워드 라인 사이의 활성 영역에 형성된 드레인 영역과,

상기 워드 라인을 중심으로 상기 드레인 영역의 반대측의 활성 영역에 각각 형성된 한 쌍의 소스 영역과,

상기 한 쌍의 소스 영역에 각각 인접하여 상기 워드 라인과 평행하게 연장되고 플레이트 라인으로 작용하는 하부 전극과, 상기 하부 전극을 일부 덮는 강유전체막과, 상기 강유전체막을 덮고 상기 한 쌍의 소스 영역중 하나에 전기적으로 연결되는 상부 전극을 각각 구비하는 한 쌍의 강유전체 커패시터와,

상기 드레인 영역에 전기적으로 연결되고, 상기 워드 라인과 직교하는 방향으로 연장되는 비트 라인을 포함하는 것을 특징으로 하는 강유전체 메모리 장치.

청구항 2. 제1항에 있어서, 상기 워드 라인과 강유전체 커패시터의 하부 전극은 동일한 구성 물질로 형성된 것을 특징으로 하는 강유전체 메모리 장치.

청구항 3. 제2항에 있어서, 상기 워드 라인 및 하부 전극은 각각 불순물이 도핑된 폴리실리콘층으로 구성되는 제1 도전층과, 백금, 이리듐, 루테튬, 텅스텐, 산화 이리듐, 산화 루테튬 및 산화 루테튬으로 이루어지는 군에서 선택되는 적어도 1개의 물질로 구성되는 제2 도전층이 차례로 적층된 구조로 형성된 것을 특징으로 하는 강유전체 메모리 장치.

청구항 4. 제1항에 있어서, 상기 강유전체막의 측벽에 형성되고, 상기 강유전체막으로부터의 확산을 방지하는 장벽층을 더 포함하는 것을 특징으로 하는 강유전체 메모리 장치.

청구항 5. 제4항에 있어서, 상기 장벽층은 Al_2O_3 로 구성된 것을 특징으로 하는 강유전체 메모리 장치.

청구항 6. 제1항에 있어서, 상기 강유전체막은 PZT, PLZT 및 V1으로 이루어지는 군에서 선택되는 어느 하나의 물질로 구성되는 것을 특징으로 하는 강유전체 메모리 장치.

청구항 7. 제1항에 있어서, 상기 상부 전극은 백금, 이리듐, 루테튬, 텅스텐, 산화 이리듐, 산화 루테튬 및 산화 루테튬으로 이루어지는 군에서 선택되는 적어도 1개의 물질로 구성되는 것을 특징으로 하는 강유전체 메모리 장치.

청구항 8. 제1항에 있어서, 상기 각 상부 전극을 상기 한 쌍의 소스 영역중 하나에 각각 전기적으로 연결시키는 한 쌍의 배선층을 더 포함하고, 상기 한 쌍의 배선층 및 상기 비트 라인은 동일한 구성 물질로 형성된 것을 특징으로 하는 강유전체 메모리 장치.

청구항 9. 제8항에 있어서, 상기 한 쌍의 배선층 및 비트 라인은 불순물이 도핑된 폴리실리콘, 텅스텐 및 알루미늄으로 이루어지는 군에서 선택된 어느 하나의 물질로 구성된 것을 특징으로 하는 강유전체 메모리 장치.

청구항 10. 제1항에 있어서, 상기 강유전체막으로부터의 확산을 방지하기 위하여 상기 상부 전극을 덮는 캡핑층을 더 포함하는 것을 특징으로 하는 강유전체 메모리 장치.

청구항 11. 제10항에 있어서, 상기 캡핑층은 TiO₂막으로 형성된 것을 특징으로 하는 강유전체 메모리 장치.

청구항 12. 반도체 기판상에 게이트 전극 및 커패시터의 하부 전극을 동시에 형성하는 단계와,

상기 게이트 전극 및 하부 전극의 측벽에 각각 절연막 스페이서를 형성하는 단계와,

상기 게이트 전극의 양측에 각각 소스 영역 및 드레인 영역을 형성하여 트랜지스터를 형성하는 단계와,

상기 트랜지스터를 포함하는 반도체 기판상에 상기 하부 전극의 상면만을 노출시키는 개구부가 형성된 제1 층간 절연막을 형성하는 단계와,

상기 개구부 내에 강유전체막을 형성하는 단계와,

상기 강유전체막 위에 상부 전극을 형성하여 강유전체 커패시터를 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

청구항 13. 제12항에 있어서, 상기 게이트 전극 및 하부 전극을 형성하는 단계는

상기 반도체 기판상에 절연막을 형성하는 단계와,

상기 절연막 위에 전극 형성용 도전층을 형성하는 단계와,

상기 전극 형성용 도전층 및 절연막을 패터닝하여 서로 평행하게 연장되는 게이트 전극 및 하부 전극을 동시에 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

청구항 14. 제13항에 있어서, 상기 전극 형성용 도전층을 형성하는 단계는

상기 절연막 위에 불순물이 도핑된 폴리실리콘층으로 구성되는 제1 도전층을 형성하는 단계와,

상기 제1 도전층 위에 백금, 이리듐, 루테튬, 텅스텐, 산화 이리듐, 산화 루테튬 및 산화 루테튬으로 이루어지는 군에서 선택되는 적어도 1개의 물질로 구성되는 제2 도전층을 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

청구항 15. 제12항에 있어서, 상기 절연막 스페이서는 절화막으로 형성되는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

청구항 16. 제12항에 있어서, 상기 강유전체막을 형성하는 단계는

상기 제1 층간 절연막을 포함하는 반도체 기판 전면에 강유전 물질막을 형성하는 단계와,

상기 강유전 물질막이 상기 개구부 내에만 남도록 상기 강유전 물질막을 상기 제1 층간 절연막의 상면의 높이와 동일한 레벨까지 제거하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

청구항 17. 제16항에 있어서, 상기 강유전 물질막은 PZT, PLZT 및 V1 강유전 물질로 이루어지는 군에서 선택되는 어느 하나의 강유전 물질로 형성되는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

청구항 18. 제16항에 있어서, 상기 강유전 물질막은 졸-겔법(sol-gel process), 스퍼터링법 및 CVD(Chemical Vapor Deposition) 방법으로 이루어지는 군에서 선택되는 어느 하나의 방법에 의하여 형성되는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

청구항 19. 제16항에 있어서, 상기 강유전 물질막을 제거하는 단계는 에치백 및 CMP(Chemical Mechanical Polishing)로 이루어지는 군에서 선택되는 어느 하나의 방법에 의하여 행하는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

청구항 20. 제16항에 있어서, 상기 제1 층간 절연막을 형성한 후 상기 강유전체막을 형성하기 전에 상기 제1 층간 절연막에 형성된 개구부 내에서 상기 제1 층간 절연막의 측벽에 장벽층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

청구항 21. 제20항에 있어서, 상기 장벽층은 Al_2O_3 로 이루어지는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

청구항 22. 제12항에 있어서, 상기 상부 전극은 백금, 이리듐, 루테튬, 텅스텐, 산화 이리듐, 산화 루테튬 및 산화 루테튬으로 이루어지는 군에서 선택되는 적어도 1개의 물질로 구성되는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

청구항 23. 제12항에 있어서, 상기 상부 전극을 형성하는 단계 후에

상기 상부 전극을 포함하는 반도체 기판 전면에 제2 층간 절연막을 형성하는 단계와,

상기 제2 층간 절연막 및 제1 층간 절연막을 패터닝하여 상기 상부 전극의 상면을 일부 노출시키는 제1 배선 콘택홀, 상기 소스 영역을 일부 노출시키는 제2 배선 콘택홀 및 상기 드레인 영역을 일부 노출시키는 비트 콘택홀을 형성하는 단계와,

상기 제1 배선 콘택홀 및 제2 배선 콘택홀을 통하여 상기 상부 전극과 소스 영역을 전기적으로 연결시키는 배선층과, 상기 비트 콘택홀을 통하여 상기 드레인 영역에 연결되고 상기 게이트 전극과 직교하는 방향으로 연장되는 비트 라인을 동시에 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

청구항 24. 제23항에 있어서, 상기 제2 층간 절연막을 형성하기 전에 상기 상부 전극을 확산 방지용 캡핑층으로 덮는 단계를 더 포함하고, 상기 제1 배선 콘택홀은 상기 제2 층간 절연막 및 캡핑층을 함께 식각함으로써 형성되는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

청구항 25. 제24항에 있어서, 상기 캡핑층은 TiQ막으로 형성되는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

청구항 26. 제23항에 있어서, 상기 배선층 및 비트 라인은 불순물이 도핑된 폴리실리콘, 텅스텐 및 알루미늄으로 이루어지는 군에서 선택되는 어느 하나의 물질로 구성되는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

청구항 27. 반도체 기판상에 게이트 전극 및 커패시터의 하부 전극을 동시에 형성하는 단계와,

상기 게이트 전극 및 하부 전극의 측벽에 각각 절연막 스페이서를 형성하는 단계와,

상기 게이트 전극의 양측에 각각 소스 영역 및 드레인 영역을 형성하여 트랜지스터를 형성하는 단계와,

상기 트랜지스터를 포함하는 반도체 기판상에 상기 하부 전극의 상면만을 노출시키는 개구부가 형성된 제1 층간 절연막을 형성하는 단계와,

상기 제1 층간 절연막을 포함하는 반도체 기판 전면에 강유전 물질막을 형성하는 단계와,

상기 강유전 물질막 위에 상부 전극 형성용 도전층을 형성하는 단계와,

상기 상부 전극 형성용 도전층과 강유전 물질막을 동시에 패터닝하여 상기 하부 전극 위에 차례로 적층된 강유전체막과 상부 전극을 형성함으로써 강유전체 커패시터를 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

청구항 28. 제27항에 있어서, 상기 게이트 전극 및 하부 전극을 형성하는 단계는

상기 반도체 기판상에 절연막을 형성하는 단계와,

상기 절연막 위에 전극 형성용 도전층을 형성하는 단계와,

상기 전극 형성용 도전층 및 절연막을 패터닝하여 서로 평행하게 연장되는 게이트 전극 및 하부 전극을 동시에 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

청구항 29. 제28항에 있어서, 상기 전극 형성용 도전층을 형성하는 단계는

상기 절연막 위에 불순물이 도핑된 폴리실리콘층으로 구성되는 제1 도전층을 형성하는 단계와,

상기 제1 도전층 위에 백금, 이리듐, 루테튬, 텅스텐, 산화 이리듐, 산화 루테튬 및 산화 루테튬으로 이루어지는 군에서 선택되는 적어도 1개의 물질로 구성되는 제2 도전층을 형성하는 단계를 포함하는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

청구항 30. 제27항에 있어서, 상기 절연막 스페이서는 절화막으로 형성되는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

청구항 31. 제27항에 있어서, 상기 강유전 물질막은 PZT, PLZT 및 Y1 강유전 물질로 이루어지는 군에서 선택되는 어느 하나의 강유전 물질로 형성되는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

청구항 32. 제27항에 있어서, 상기 강유전 물질막은 졸-겔법에 의하여 형성되는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

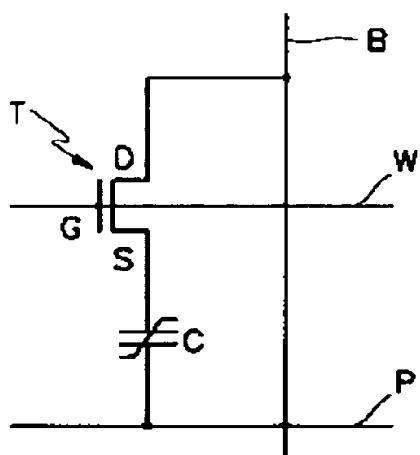
청구항 33. 제27항에 있어서, 상기 상부 전극 형성용 도전층은 백금, 이리듐, 루테튬, 텅스텐, 산화 이리듐, 산화 루테튬 및 산화 루테튬으로 이루어지는 군에서 선택되는 적어도 1개의 물질로 구성되는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

청구항 34. 제27항에 있어서, 상기 제1 층간 절연막을 형성한 후 상기 강유전 물질막을 형성하기 전에 상기 제1 층간 절연막에 형성된 개구부 내에서 상기 제1 층간 절연막의 측벽에 장벽층을 형성하는 단계를 더 포함하는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

청구항 35. 제34항에 있어서, 상기 장벽층은 Al_2O_3 로 이루어지는 것을 특징으로 하는 강유전체 메모리 장치의 제조 방법.

도면

도면1



SEB2

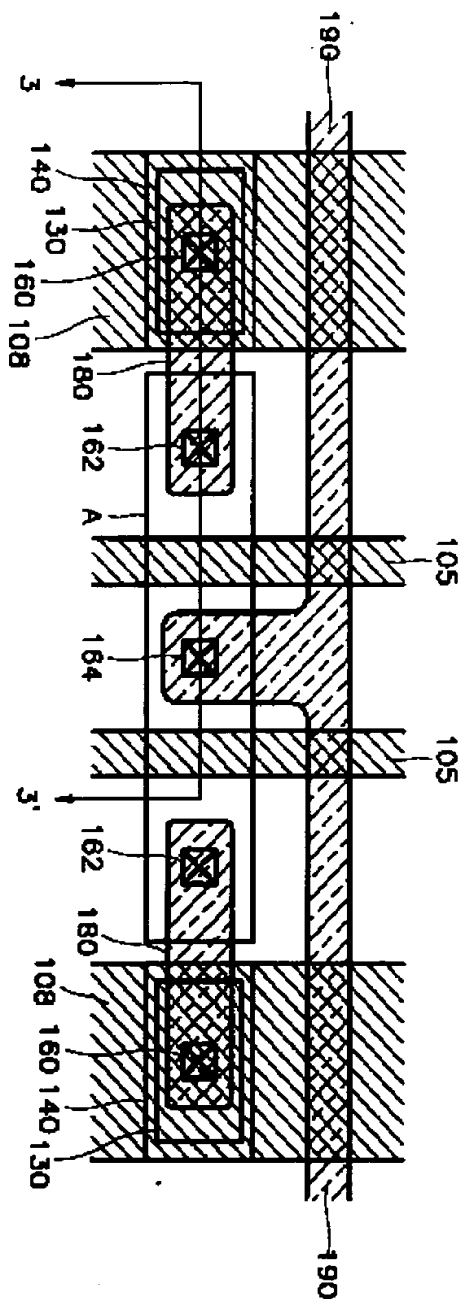


FIG 3

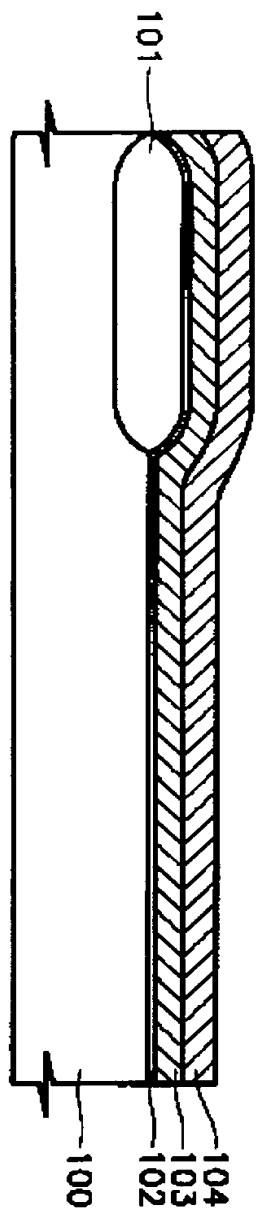


図 4

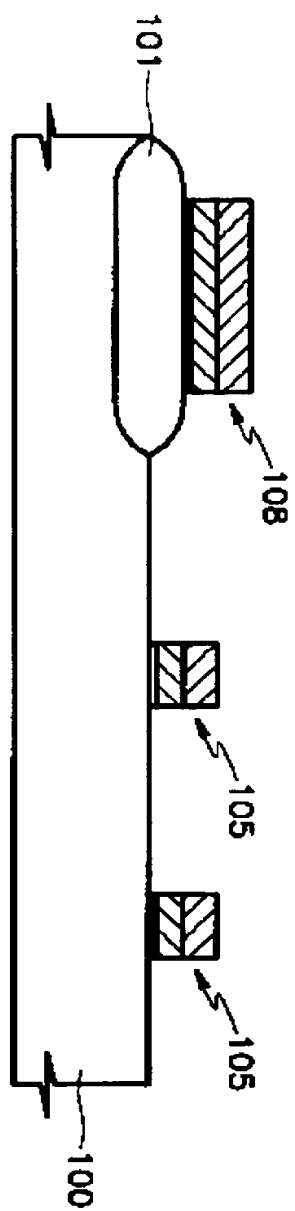


图 5

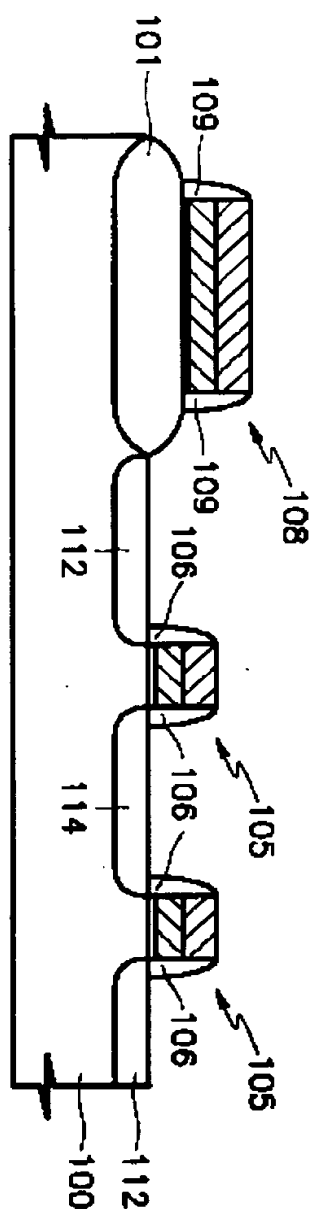


图 5

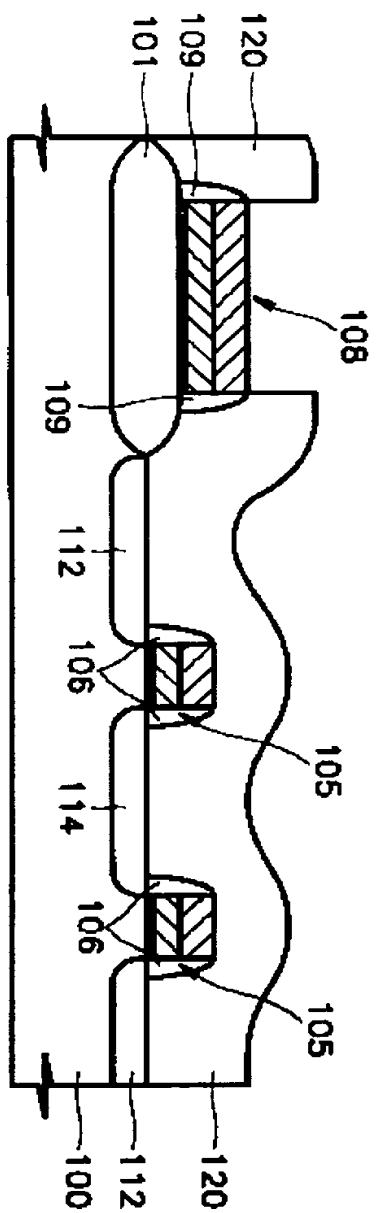
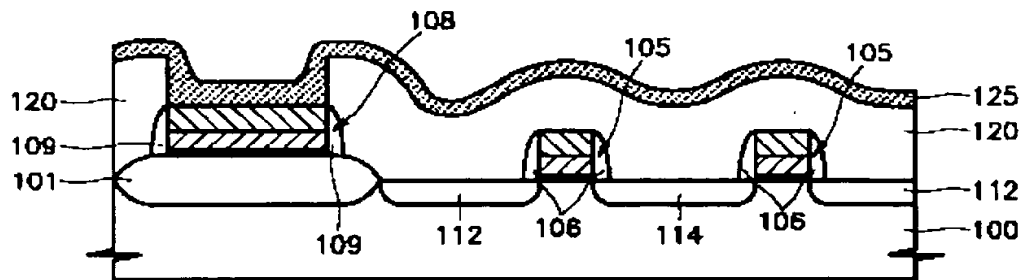
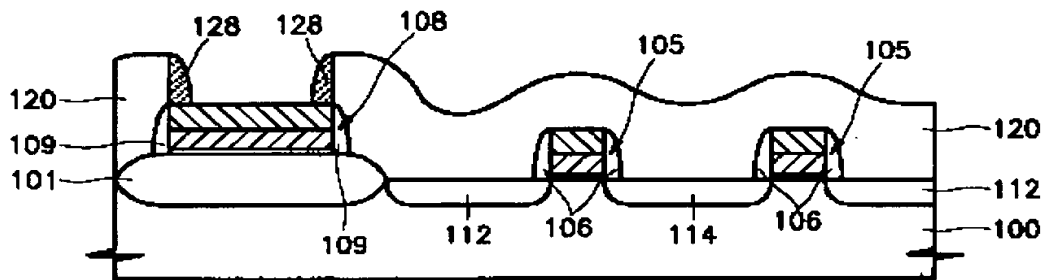


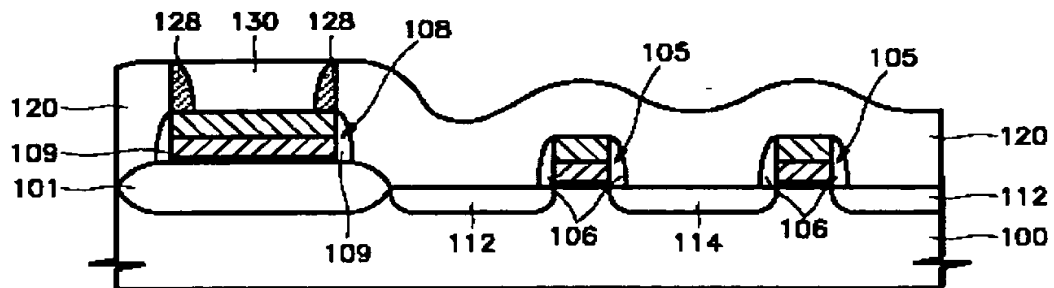
图 5



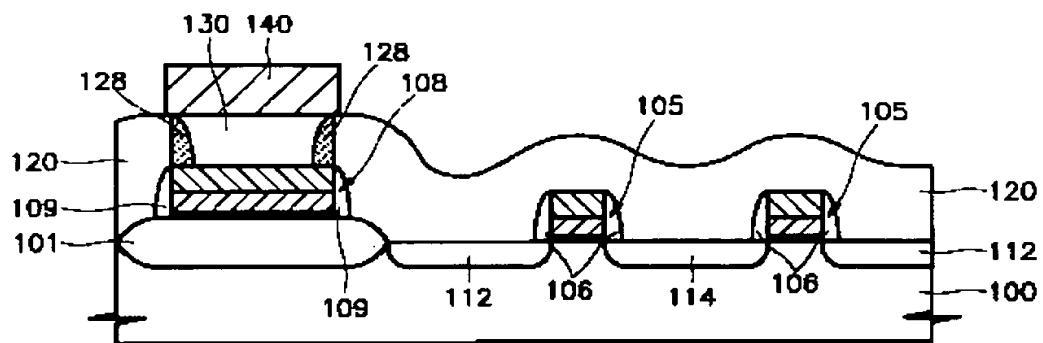
588



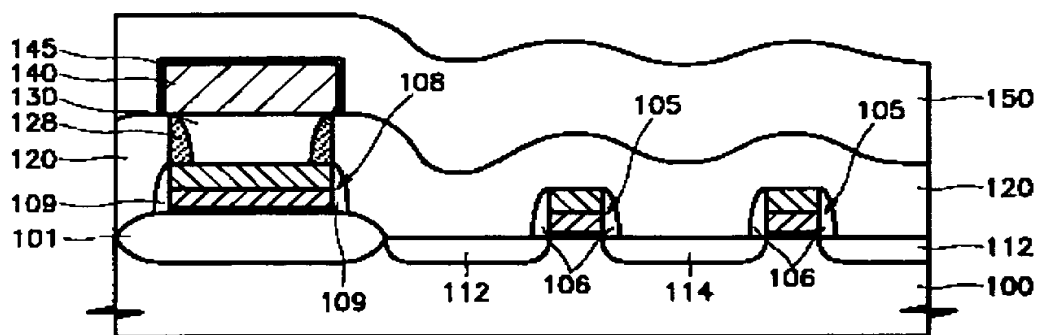
580



도면 10



도면 11



도면 12

